

PATENT ABSTRACTS OF JAPAN

①

(11)Publication number : 08-204557

(43)Date of publication of application : 09.08.1996

(51)Int.Cl.

H03M 1/06
H03K 17/687

(21)Application number : 07-030200

(71)Applicant : SONY CORP

(22)Date of filing : 27.01.1995

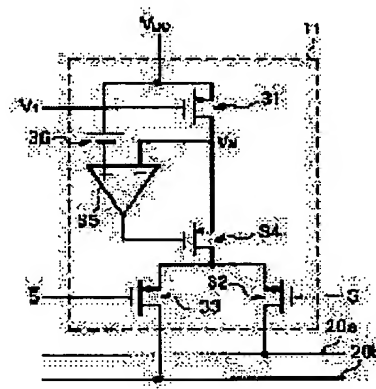
(72)Inventor : FUJINO SHINICHIRO

(54) DIGITAL-ANALOG CONVERTER

(57)Abstract:

PURPOSE: To improve the precision by reducing the variance of the current flowing to a transistor TR which determines a constant current in a current summing type D/A converter.

CONSTITUTION: If a potential V_a at the connection point between a TR 31 for constant current which determines the constant current and a resistance varying TR 34 is varied to the side of a supply voltage VDD in a constant current source 11, the output voltage of a differential amplifier 35, namely, the gate voltage of the resistance varying TR 34 is reduced, and the on-state resistance value of the resistance varying TR 34 is reduced, and feedback is applied so as to reduce the potential V_a to the ground side. Thus, such control is performed that the potential V_a is kept constant, that is, the voltage between the source and the drain of the TR 31 for constant current is kept constant, and the variance of the current flowing to the TR 31 for constant current is reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-204557

(43) 公開日 平成8年(1996)8月9日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 3 M 1/06

H 0 3 K 17/687

9184-5K

H 0 3 K 17/ 687

H

審査請求 未請求 請求項の数4 F D (全 8 頁)

(21) 出願番号

特願平7-30200

(22) 出願日

平成7年(1995)1月27日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 藤野 伸一郎

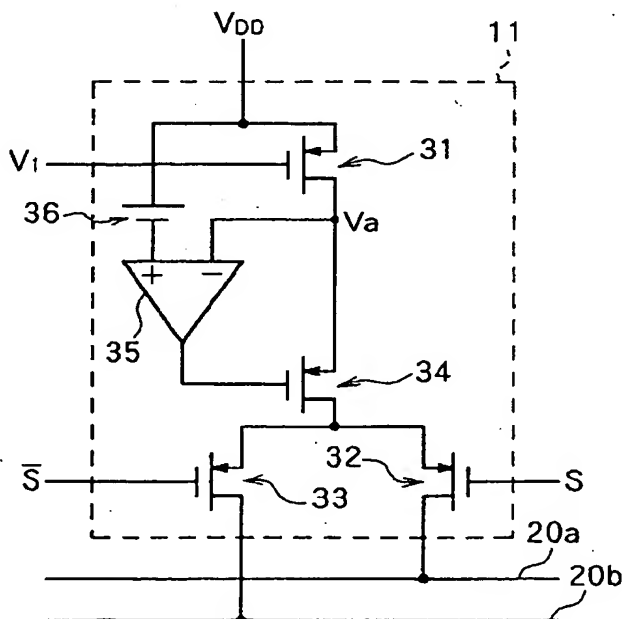
長崎県諫早市津久葉町1883番43 ソニー長崎株式会社内

(54) 【発明の名称】 デジタルーアナログ変換器

(57) 【要約】

【目的】 電流加算型のD/A変換器において、定電流を決定するトランジスタを流れる電流の変動を低減して、高精度化を可能にする。

【構成】 定電流源セル11において、定電流を決定する定電流用トランジスタ31と抵抗可変用トランジスタ34の接続点の電位 V_a が電源電圧 V_{DD} 側に変動すれば、差動増幅器35の出力電圧すなわち抵抗可変用トランジスタ34のゲート電圧が小さくなり、抵抗可変用トランジスタ34のオン抵抗値が小さくなって、電位 V_a をグラウンド側に下げるような帰還がかけられる。これにより、電位 V_a を一定に保つ制御、すなわち定電流用トランジスタ31のソース、ドレイン間の電圧を一定に保つ制御が行われ、定電流用トランジスタ31を流れる電流の変動が低減される。



【特許請求の範囲】

【請求項1】 アナログ値に応じた電流を出力するための出力電流路と、

それぞれ、定電流を決定する定電流用トランジスタと、デジタル信号に応じて前記定電流用トランジスタを流れる定電流を前記出力電流路に選択的に出力するスイッチ部とを有する複数の定電流源セルと、前記定電流用トランジスタの定電流が流れる端子間の電圧を一定に保つ制御を行う制御手段とを備えたことを特徴とするデジタルーアナログ変換器。

【請求項2】 前記制御手段は、各定電流源セル毎に定電流用トランジスタとスイッチ部との間に設けられ、制御電圧に応じて抵抗値が変化する抵抗可変用トランジスタと、各定電流源セル毎に設けられ、抵抗可変用トランジスタと定電流用トランジスタとの間の電位に応じて、この電位を一定に保つような制御電圧を生成して、抵抗可変用トランジスタに与える制御電圧生成手段とを有することを特徴とする請求項1記載のデジタルーアナログ変換器。

【請求項3】 複数の定電流源セルの各定電流用トランジスタは、それぞれ同一の値の定電流を出力するものであり、複数の定電流源セルの各スイッチ部は、最下位ビット用の定電流源セルから順に、デジタル信号の値に応じた数の定電流源セルだけ、定電流を出力電流路に出力するように動作するものであり、前記制御手段は、各定電流源セル毎に定電流用トランジスタとスイッチ部との間に設けられ、制御電圧に応じて抵抗値が変化する抵抗可変用トランジスタと、最下位ビット用の定電流源セルの抵抗可変用トランジスタと定電流用トランジスタとの間の電位に応じて、この電位を一定に保つような制御電圧を生成して、全セルの抵抗可変用トランジスタに与える制御電圧生成手段とを有することを特徴とする請求項1記載のデジタルーアナログ変換器。

【請求項4】 前記定電流用トランジスタはソース、ドレイン間で定電流を流す電界効果トランジスタであり、前記制御手段はこの電界効果トランジスタのソース、ドレイン間の電圧を一定に保つ制御を行うことを特徴とする請求項1ないし3のいずれか1に記載のデジタルーアナログ変換器。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は、電流加算型のデジタルーアナログ変換器（以下、D/A変換器と記す。）に関する。

【0002】

【従来の技術】 図5は従来の電流加算型のD/A変換器の概略の構成を示す回路図である。このD/A変換器は、それぞれ電流系路を切り換え可能な複数の定電流源セル101₁～101_mを備えている。各定電流源セル101₁～101_mは、それぞれ定電流源102と、こ

の定電流源102からの出力電流の電流系路を2系路に切り換えるスイッチ部103とを備えている。スイッチ部103の一方の出力端は共通の出力電流路104に接続され、他方の出力端は接地されている。出力電流路104は出力端105に接続されている。この出力端105を出力抵抗106を介して接地すると、アナログ信号が出力抵抗106の両端電圧として得られる。

【0003】 図6は図5における定電流源セルの構成を示す回路図である。この定電流源セル101（101₁～101_mを代表する。）は、定電流源102としての定電流用トランジスタ111と、スイッチ部103としての2つのトランジスタ112、113を備えている。トランジスタ111、112、113は、いずれもPチャネルMOS（金属酸化膜半導体）型FET（電界効果トランジスタ）で構成されている。トランジスタ111のソースには電源電圧V_{DD}が印加され、ドレインはトランジスタ112、113のソースに接続されている。トランジスタ112のドレインは出力電流路104に接続され、トランジスタ113のドレインは接地されている。トランジスタ111のゲートにはトランジスタ111を飽和動作させるためのゲート電圧V_Gが印加されている。トランジスタ112のゲートにはスイッチング信号Sが印加され、トランジスタ113のゲートにはスイッチング信号バーSが印加されている。トランジスタ112がオン、トランジスタ113がオフのときは定電流用トランジスタ111を流れる定電流が出力電流路104に流れ、トランジスタ112がオフ、トランジスタ113がオンのときは定電流用トランジスタ111を流れる定電流がグラウンドに流れる。

【0004】 このD/A変換器では、デジタル信号に応じて各定電流源セル101に与えるスイッチング信号S、バーSを制御し、デジタル信号に応じた数の定電流源セル101についてトランジスタ112をオンにし、定電流用トランジスタ111を流れる定電流を出力電流路104に流す。出力電流路104を流れる電流は、トランジスタ112がオンとなっている定電流源セル101の出力電流を加算したものとなる。この加算された出力電流値はアナログ値に対応する。出力端105を出力抵抗106を介して接地すると、出力電流値と出力抵抗106の抵抗値との積として出力抵抗106の両端電圧が得られ、この両端電圧がアナログ値に対応した出力電圧となる。

【0005】

【発明が解決しようとする課題】 ところで、このような従来のD/A変換器では、図5に示したように出力電流を出力抵抗106に流して、アナログ値を出力電圧で得るようにした場合、図6に示した出力電流路104の電位V_bは出力電圧に応じて変動し、これに応じてトランジスタ111、112、113の接続点の電位V_aも変動する。定電流用トランジスタ111は飽和動作してい

るため電位 V_a の変動による影響は少ないが、それでも、定電流用トランジスタ111の出力コンダクタンスは零ではないため、電位 V_a の変動すなわちD/A変換器の出力電圧の変動で、定電流用トランジスタ111を流れる電流値が変動する。

【0006】そのため、現状では、高精度のD/A変換器を実現するためには、定電流用トランジスタ111のドレイン、ソース間のチャネル長を大きくして出力コンダクタンスを下げることで対応しているが、10ビット程度のD/A変換器が限界であり、更なる高精度化を実現することが困難であるという問題点がある。

【0007】また、高精度のD/A変換器を実現するために定電流用トランジスタ111のドレイン、ソース間のチャネル長を大きくすると、D/A変換器が大型化してしまうという問題点もある。

【0008】本発明はかかる問題点に鑑みてなされたもので、その第1の目的は、定電流を決定するトランジスタを流れる電流の変動を低減して、高精度化を可能にした電流加算型のD/A変換器を提供することにある。

【0009】本発明の第2の目的は、上記目的に加え、小型化を可能にしたD/A変換器を提供することにある。

【0010】

【課題を解決するための手段】請求項1記載のD/A変換器は、アナログ値に応じた電流を出力するための出力電流路と、それぞれ、定電流を決定する定電流用トランジスタとデジタル信号に応じて定電流用トランジスタを流れる定電流を出力電流路に選択的に出力するスイッチ部とを有する複数の定電流源セルと、定電流用トランジスタの定電流が流れる端子間の電圧を一定に保つ制御を行う制御手段とを備えたものである。

【0011】請求項2記載のD/A変換器は、請求項1記載のD/A変換器において、制御手段が、各定電流源セル毎に定電流用トランジスタとスイッチ部との間に設けられ、制御電圧に応じて抵抗値が変化する抵抗可変用トランジスタと、各定電流源セル毎に設けられ、抵抗可変用トランジスタと定電流用トランジスタとの間の電位に応じて、この電位を一定に保つような制御電圧を生成して、抵抗可変用トランジスタに与える制御電圧生成手段とを有するように構成したものである。

【0012】請求項3記載のD/A変換器は、請求項1記載のD/A変換器において、複数の定電流源セルの各定電流用トランジスタが、それぞれ同一の値の定電流を出力するものであり、複数の定電流源セルの各スイッチ部が、最下位ビット用の定電流源セルから順に、デジタル信号の値に応じた数の定電流源セルだけ、定電流を出力電流路に出力するように動作するものであり、制御手段が、各定電流源セル毎に定電流用トランジスタとスイッチ部との間に設けられ、制御電圧に応じて抵抗値が変化する抵抗可変用トランジスタと、最下位ビット用の

定電流源セルの抵抗可変用トランジスタと定電流用トランジスタとの間の電位に応じて、この電位を一定に保つような制御電圧を生成して、全セルの抵抗可変用トランジスタに与える制御電圧生成手段とを有するように構成したものである。

【0013】請求項4記載のD/A変換器は、請求項1ないし3のいずれか1に記載のD/A変換器において、定電流用トランジスタはソース、ドレイン間で定電流を流す電界効果トランジスタであり、制御手段がこの電界効果トランジスタのソース、ドレイン間の電圧を一定に保つ制御を行うように構成したものである。

【0014】

【作用】請求項1記載のD/A変換器では、各定電流源セル毎に、デジタル信号に応じて、スイッチ部によって、定電流用トランジスタを流れる定電流が出力電流路に選択的に出力され、出力電流路を流れる電流はアナログ値に応じた電流となる。また、制御手段によって、各定電流用トランジスタの定電流が流れる端子間の電圧を一定に保つ制御が行われ、その結果、各定電流用トランジスタを流れる電流の変動が低減される。

【0015】請求項2記載のD/A変換器では、各定電流源セル毎に、制御電圧生成手段によって、抵抗可変用トランジスタと定電流用トランジスタとの間の電位に応じて、この電位を一定に保つような制御電圧が生成され、この制御電圧が抵抗可変用トランジスタに与えられ、抵抗可変用トランジスタの抵抗値が変化して、抵抗可変用トランジスタと定電流用トランジスタとの間の電位が一定に保たれる。

【0016】請求項3記載のD/A変換器では、複数の定電流源セルの各定電流用トランジスタは、それぞれ同一の値の定電流を出力し、複数の定電流源セルの各スイッチ部は、最下位ビット用の定電流源セルから順に、デジタル信号の値に応じた数の定電流源セルだけ、定電流を出力電流路に出力するように動作する。制御手段は、制御電圧生成手段によって、最下位ビット用の定電流源セルの抵抗可変用トランジスタと定電流用トランジスタとの間の電位に応じて、この電位を一定に保つような制御電圧を生成して、全セルの抵抗可変用トランジスタに与える。これにより、全セルの抵抗可変用トランジスタの抵抗値が変化して、定電流を出力電流路に出力している全ての定電流源セルについて、抵抗可変用トランジスタと定電流用トランジスタとの間の電位が一定に保たれる。

【0017】請求項4記載のD/A変換器では、制御手段が、定電流用トランジスタとしての電界効果トランジスタのソース、ドレイン間の電圧を一定に保つ制御を行う。

【0018】

【実施例】以下、本発明の実施例について図面を参照して詳細に説明する。

【0019】図1は本発明の第1の実施例に係るD/A変換器の構成を示すブロック図である。本実施例のD/A変換器10は、10ビットの電流加算型のD/A変換器の例である。このD/A変換器10は、定電流源セルとして、単位電流 I_0 を出力する63個の単位電流源セル11aと、それぞれ単位電流 I_0 の $1/2$, $1/4$, $1/8$, $1/16$ の電流を出力する4個の重み付け電流源セル11b~11eを備えている。D/A変換器10は、更に、10ビットのデジタル信号のうちの上位3ビットをデコードして、単位電流源セル11aに与えるスイッチング信号を生成するデコーダ12と、このデコーダ12によって生成されたスイッチング信号をラッチし、単位電流源セル11aに与えるラッチ13と、10ビットのデジタル信号のうちの次の3ビットをデコードして、単位電流源セル11aに与えるスイッチング信号を生成するデコーダ14と、このデコーダ14によって生成されたスイッチング信号をラッチし、単位電流源セル11aに与えるラッチ15と、10ビットのデジタル信号のうちの下位4ビットをラッチし、重み付け電流源セル11b~11eに与えるラッチ16とを備えている。

【0020】D/A変換器10は、更に、各ラッチ13, 15, 16にクロックを供給するクロック発生部17と、各単位電流源セル11aと各重み付け電流源セル11b~11eにバイアス電圧を供給するバイアス電源18とを備えている。D/A変換器10は、更に、各単位電流源セル11aと各重み付け電流源セル11b~11eに接続され、アナログ値に応じた電流を出力するための出力電流路20を備えている。この出力電流路20は出力端21に接続されている。

【0021】図2は図1における定電流源セルの構成を示す回路図である。定電流源セル11（単位電流源セル11aと重み付け電流源セル11b~11eを代表する。）は、定電流を決定する定電流用トランジスタ31と、スイッチ部としての2つのスイッチ用トランジスタ32, 33と、定電流用トランジスタ31とトランジスタ32, 33との間に設けられ、制御電圧に応じて抵抗値が変化する抵抗可変用トランジスタ34と、この抵抗可変用トランジスタ34と定電流用トランジスタ31との間の電位 V_a に応じて、この電位 V_a を一定に保つような制御電圧を生成して、抵抗可変用トランジスタ34に与える制御電圧生成手段としての差動増幅器35とを備えている。

【0022】トランジスタ31, 32, 33, 34は、いずれもPチャネルMOS型FETで構成されている。トランジスタ31のソースには電源電圧 V_{DD} が印加され、ドレインはトランジスタ34のソースに接続されている。トランジスタ34のドレインはトランジスタ32, 33のソースに接続されている。トランジスタ32のドレインは電流系路20aに接続され、トランジスタ

33のドレインは電流系路20bに接続されている。電流系路20aと電流系路20bの一方が出力電流路20として使用される。なお、電流系路20aではデジタル信号の値の増加に伴って電流値が増加し、電流系路20bではデジタル信号の値の増加に伴って電流値が減少し、電流系路20aと電流系路20bは相補的な関係にある。トランジスタ31のゲートにはトランジスタ31を飽和動作させるためのゲート電圧 V_1 が印加されている。トランジスタ32のゲートにはスイッチング信号Sが印加され、トランジスタ33のゲートにはスイッチング信号バーSが印加されている。差動増幅器35の反転入力端にはトランジスタ34とトランジスタ31との間の電位 V_a が印加され、非反転入力端には電源電圧 V_{DD} を電源36によって降圧した基準電圧が印加されている。差動増幅器35の出力端はトランジスタ34のゲートに接続されている。

【0023】次に、本実施例のD/A変換器10の主な動作について説明する。デコーダ12は、8個の単位電流源セル11aを1列として、10ビットのデジタル信号のうちの上位3ビットで表される数だけの列の単位電流源セル11aから単位電流 I_0 を出力電流路20に出力させるようにスイッチング信号S, バーSを生成する。このスイッチング信号S, バーSはラッチ13を介して単位電流源セル11aに与えられる。従って、例えば3ビットのデータが“010”の場合には2列すなわち16個の単位電流源セル11aから単位電流 I_0 が出力電流路20に出力される。

【0024】また、デコーダ14は、7個の単位電流源セル11aのうち、10ビットのデジタル信号のうちの次の3ビットで表される数の単位電流源セル11aから単位電流 I_0 を出力電流路20に出力させるようにスイッチング信号S, バーSを生成する。このスイッチング信号S, バーSはラッチ15を介して単位電流源セル11aに与えられる。従って、例えば3ビットのデータが“011”の場合には3個の単位電流源セル11aから単位電流 I_0 が出力電流路20に出力される。

【0025】また、ラッチ16は、10ビットのデジタル信号のうちの下位4ビットをラッチし、重み付け電流源セル11b~11eに与える。従って、例えば4ビットのデータが“1001”の場合にはセル11bとセル11eから電流 $I_0/2$ と電流 $I_0/16$ が出力電流路20に出力される。

【0026】出力電流路20を流れる電流は、単位電流源セル11aと重み付け電流源セル11b~11eの出力電流を加算したものとなる。この加算された出力電流値はアナログ値に対応する。出力端21を出力抵抗22を介して接地すると、出力電流値と出力抵抗22の抵抗値との積として出力抵抗22の両端電圧が得られ、この両端電圧がアナログ値に対応した出力電圧となる。

【0027】次に、本実施例のD/A変換器10におけ

る定電流用トランジスタ31のソース、ドレイン間の電圧を一定に保つ制御について説明する。図1に示したように、出力電流路20に流れる出力電流を出力抵抗22に流して、アナログ値を出力電圧で得るようにした場合、出力電流路20の電位は出力電圧に応じて変動する。ここで、抵抗可変用トランジスタ34のオン抵抗値が一定の場合には、トランジスタ31、34の接続点の電位 V_a も変動する。ここで、定電流用トランジスタ31が飽和領域で動作している場合、定電流用トランジスタ31のソース、ドレイン間を流れる電流 I_{DS} は、以下の式で表されることが知られている。

【0028】

$$\text{【数1】 } I_{DS} = -K' (W/2L) (V_{GS} - V_{TP})^2 (1 - \lambda V_{DS})$$

【0029】ここで、 K' は所定の係数、 W はチャネル幅、 L はチャネル長、 V_{GS} はソース、ゲート間電圧、 V_{TP} はしきい電圧、 λ はアーリー電圧 V_A の逆数、 V_{DS} はソース、ドレイン間電圧である。

【0030】図2において V_{DD} および V_1 が一定の場合、プロセス変動によるばらつきを考えずに I_{DS} を変動させる要素はソース、ドレイン間電圧 V_{DS} の変動である。図6に示したような従来の定電流源セル101では、出力電圧の変動に伴って定電流用トランジスタ111のソース、ドレイン間電圧 V_{DS} が変化するので、 λ を小さくして I_{DS} の変動を抑えるために、定電流用トランジスタ111としてチャネル長 L の長いトランジスタを使用していた。

【0031】これに対し、本実施例では、抵抗可変用トランジスタ34と差動増幅器35によって、トランジスタ31、34の接続点の電位 V_a が電源電圧 V_{DD} 側に変動すれば、差動増幅器35の出力電圧すなわち抵抗可変用トランジスタ34のゲート電圧が小さくなり、抵抗可変用トランジスタ34のオン抵抗値が小さくなって、電位 V_a をグラウンド側に下げるような帰還がかけられる。このようにして、本実施例では、電位 V_a を一定に保つ制御、すなわち、定電流用トランジスタ31のソース、ドレイン間の電圧を一定に保つ制御が行われ、その結果、出力電圧が変動しても定電流用トランジスタ31を流れる電流の変動が低減され、D/A変換器の高精度化が可能になる。

【0032】また、本実施例では、従来のように定電流用トランジスタ31のチャネル長 L を長くする必要がないため、例えば、最小線幅 $0.5\mu m$ のプロセスの場合、定電流用トランジスタ31の大きさ(面積)を従来の $1/4$ 程度に小さくすることができ、抵抗可変用トランジスタ34と差動増幅器35が増えても、D/A変換器を小型化することが可能になる。

【0033】図3は本発明の第2の実施例に係るD/A変換器における定電流源セルの構成を示す回路図である。本実施例における定電流源セル11は、抵抗可変用

トランジスタ34と定電流用トランジスタ31との間の電位 V_a に応じて、この電位 V_a を一定に保つような制御電圧を生成して、抵抗可変用トランジスタ34に与える制御電圧生成手段として、第1の実施例における差動増幅器35の代わりに、トランジスタ38とトランジスタ39とを備えている。トランジスタ38はPチャネルMOS型FETで構成され、トランジスタ39はNチャネルMOS型FETで構成されている。トランジスタ38のソースには電源電圧 V_{DD} が印加され、ゲートには電位 V_a が印加され、ドレインはトランジスタ39のドレインに接続されている。トランジスタ39のソースは接地され、ゲートにはトランジスタ39を飽和領域で動作させるゲート電圧 V_2 が印加されている。

【0034】この定電流源セル11では、トランジスタ31、34の接続点の電位 V_a が電源電圧 V_{DD} 側に変動すれば、トランジスタ38のオン抵抗値が大きくなり、トランジスタ38、39の接続点の電位すなわち抵抗可変用トランジスタ34のゲート電圧が小さくなり、抵抗可変用トランジスタ34のオン抵抗値が小さくなって、電位 V_a をグラウンド側に下げるような帰還がかけられる。このようにして、電位 V_a を一定に保つ制御、すなわち、定電流用トランジスタ31のソース、ドレイン間の電圧を一定に保つ制御が行われる。本実施例のその他の構成、動作および効果は第1の実施例と同様である。

【0035】図4は本発明の第3の実施例に係るD/A変換器の構成を示す回路図である。本実施例のD/A変換器は、 n ビットのD/A変換器であり、それぞれ同一の値の定電流を出力する $2^n - 1$ 個の定電流源セル41₁ ~ 41_{2ⁿ-1}を備えている。各定電流源セル41(41₁ ~ 41_{2ⁿ-1}を代表する。)は、第1の実施例と同様の定電流用トランジスタ31と、2つのスイッチ用トランジスタ32、33と、抵抗可変用トランジスタ34とを備えている。トランジスタ31のソースには電源電圧 V_{DD} が印加され、ドレインはトランジスタ34のソースに接続されている。トランジスタ34のドレインはトランジスタ32、33のソースに接続されている。トランジスタ32のドレインは出力電流路20に接続されている。トランジスタ33のドレインは接地されている。出力電流路20は出力端21に接続されている。トランジスタ31のゲートにはトランジスタ31を飽和動作させるためのゲート電圧 V_1 が印加されている。各セル41₁ ~ 41_{2ⁿ-1}のトランジスタ32のゲートには、それぞれスイッチング信号 $S_1 \sim S_{2^n-1}$ が印加され、各セル41₁ ~ 41_{2ⁿ-1}のトランジスタ33のゲートにはスイッチング信号バー $\bar{S}_1 \sim \bar{S}_{2^n-1}$ が印加されている。本実施例のD/A変換器は、更に図示しないデコーダを備え、このデコーダは、最下位ビット用の定電流源セル41₁から順に、 n ビットのデジタル信号の値に応じた数の定電流源セルだけ、定電流を出力電流路20に出力するようなスイッチング信号 $S_1 \sim$

S_2^{n-1} 、バー $S_1 \sim$ バー S_2^{n-1} を生成するようになっている。

【0036】本実施例のD/A変換器は、更に、最下位ビット用の定電流源セル411のトランジスタ34とトランジスタ31との間の電位 V_a に応じて、この電位 V_a を一定に保つような制御電圧を生成して、全セル411～412 $^{n-1}$ の抵抗可変用トランジスタ34に与える制御電圧生成手段としての差動増幅器35を備えている。差動増幅器35の反転入力端には最下位ビット用の定電流源セル411のトランジスタ34とトランジスタ31との間の電位 V_a が印加され、非反転入力端には電源電圧 V_{DD} を電源36によって降圧した基準電圧が印加されている。差動増幅器35の出力端は全セル411～412 $^{n-1}$ の抵抗可変用トランジスタ34のゲートに接続されている。

【0037】本実施例のD/A変換器では、定電流源セル411～412 $^{n-1}$ の各トランジスタ32は、最下位ビット用の定電流源セル411から順に、デジタル信号の値に応じた数の定電流源セルだけ、定電流を出力電流路20に出力するように動作する。従って、デジタル信号が“0（零）”のとき以外は、最下位ビット用の定電流源セル411のトランジスタ32は常にオンとなっている。本実施例では、差動増幅器35によって、最下位ビット用の定電流源セル411における電位 V_a に応じて、この電位 V_a を一定に保つような制御電圧を生成して、全セル411～412 $^{n-1}$ の抵抗可変用トランジスタ34に与えるようにしている。

【0038】第1または第2の実施例のように、定電流源セル11の出力電流系路が2系路の場合には、定電流源セル11毎に、どちらの電流系路を選択しているかに応じて、抵抗可変用トランジスタ34に与える制御電圧を変える必要がある。これに対し、本実施例のように、定電流源セル41の出力電流系路が単一の場合には、定電流を出力電流路20に出力する場合にのみ電位 V_a が一定になるように制御すれば良いので、デジタル信号が“0（零）”のとき以外は常に定電流を出力電流路20に出力している最下位ビット用の定電流源セル411における電位 V_a を基準にして生成した制御電圧を、全セル411～412 $^{n-1}$ の抵抗可変用トランジスタ34に与えて、定電流を出力電流路20に出力している全ての定電流源セル41における定電流用トランジスタ31のソース、ドレイン間の電圧を一定に保つ制御が可能となる。なお、デジタル信号が“0（零）”のときは出力電圧も零となるため、定電流用トランジスタ31のソース、ドレイン間の電圧を一定に保つ制御は不要である。

【0039】本実施例によれば、制御電圧生成手段としての差動増幅器35が1つで済むため、差動増幅器35をセル411～412 $^{n-1}$ 毎に設けた場合に比べて、D/A変換器の小型化が可能となる。その他の動作および

効果は第1の実施例と同様である。なお、本実施例において、差動増幅器35の代わりに、図3に示したトランジスタ38、39を設けても良い。

【0040】なお、本発明は上記各実施例に限定されず、例えば、実施例では定電流用トランジスタとしてFETを用いたが、バイポーラトランジスタを用いることも可能である。

【0041】

【発明の効果】以上説明したように請求項1または2記載のD/A変換器によれば、制御手段によって、各定電流用トランジスタの定電流が流れる端子間の電圧を一定に保つ制御を行うようにしたので、各定電流用トランジスタを流れる電流の変動が低減され、D/A変換器の高精度化が可能になるという効果がある。

【0042】また、請求項3記載のD/A変換器によれば、複数の定電流源セルの各定電流用トランジスタが、それぞれ同一の値の定電流を出力し、複数の定電流源セルの各スイッチ部が、最下位ビット用の定電流源セルから順に、デジタル信号の値に応じた数の定電流源セルだけ、定電流を出力電流路に出力するように動作するように構成すると共に、制御電圧生成手段によって、最下位ビット用の定電流源セルの抵抗可変用トランジスタと定電流用トランジスタとの間の電位に応じて、この電位を一定に保つような制御電圧を生成して、全セルの抵抗可変用トランジスタに与えるようにしたので、上記第1の効果に加え、制御電圧生成手段が全セルについて共通化され、D/A変換器の小型化が可能になるという効果がある。

【0043】また、請求項4記載のD/A変換器によれば、定電流用トランジスタとして電界効果トランジスタを用いたD/A変換器において、定電流用トランジスタを流れる電流の変動を低減するために定電流用トランジスタのソース、ドレイン間のチャネル長を大きくする必要がなくなり、上記第1の効果に加え、D/A変換器の小型化が可能になるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係るD/A変換器の構成を示すブロック図である。

【図2】図1における定電流源セルの構成を示す回路図である。

【図3】本発明の第2の実施例に係るD/A変換器における定電流源セルの構成を示す回路図である。

【図4】本発明の第3の実施例に係るD/A変換器の構成を示す回路図である。

【図5】従来の電流加算型のD/A変換器の概略の構成を示す回路図である。

【図6】図5における定電流源セルの構成を示す回路図である。

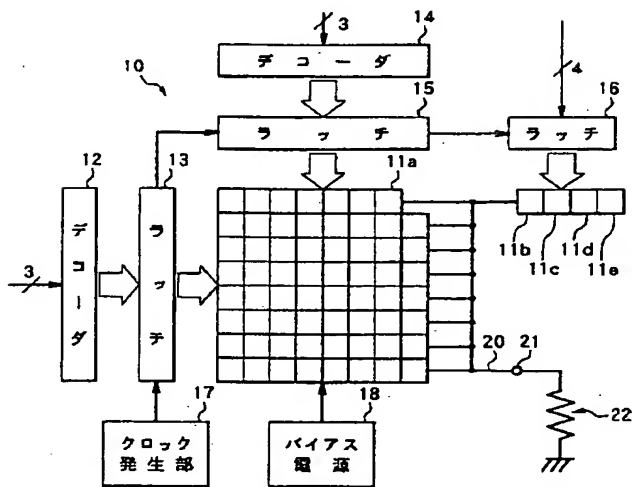
【符号の説明】

10 D/A変換器

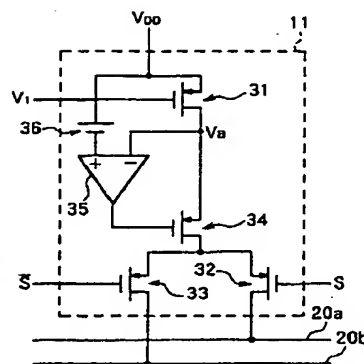
- 11 定電流源セル
 11a 単位電流源セル
 11b～11e 重み付け電流源セル
 20 出力電流路
 21 出力端

- 22 出力抵抗
 31 定電流用トランジスタ
 32, 33 スイッチ用トランジスタ
 34 抵抗可変用トランジスタ
 35 差動増幅器

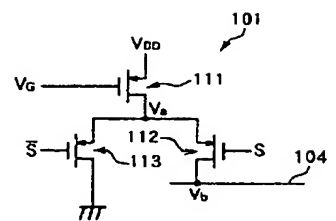
【図1】



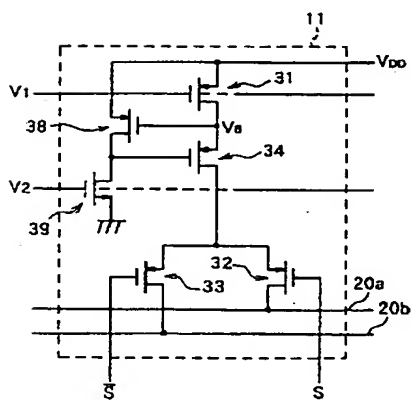
【図2】



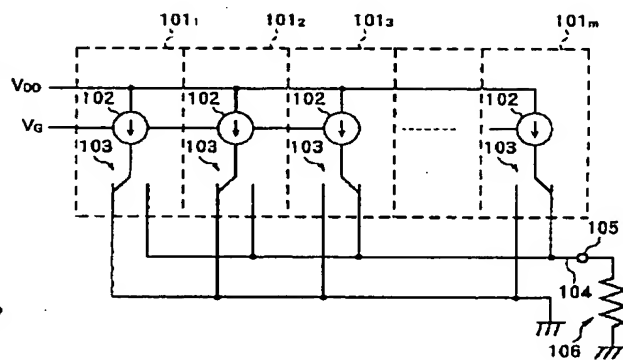
【図6】



【図3】



【図5】



【図4】

